

## METHOD FOR PRODUCING HIGH-RESISTANCE GaN CRYSTAL LAYER

Publication number: JP2001247399 (A)

Publication date: 2001-09-11

Inventor(s): YOSHIDA KIYOTERU

Applicant(s): FURUKAWA ELECTRIC CO LTD

Classification:

- International: C30B29/38, C30B23/02; H01L21/203; H01L21/205; H01L21/338; H01L29/812; H01L29/20; C30B29/10; C30B23/02; H01L21/02; H01L29/66; H01L29/02; (IPC1-7): C30B29/38, C30B23/02; H01L21/203; H01L21/205; H01L21/338; H01L29/812

- European:

Application number: JP20000058829 20000303

Priority number(s): JP20000058829 20000303

Abstract of JP 2001247399 (A)

PROBLEM TO BE SOLVED: To provide a method for producing high-resistance GaN crystal layers effective by application during the production of a GaN-based field-effect transistor(FET). SOLUTION: This method for producing high-resistance GaN crystal layers 2A and 2B comprises doping at least one kind of a p-type impurity selected from the group of C, Mg and Zn when the GaN crystal is epitaxially grown. Specifically, Mg or Zn is doped in a hydrogen atmosphere at  $\approx 600$  deg.C temperature when the GaN crystal is epitaxially grown or the Mg or Zn is doped at  $\approx 1 \times 10^{17}$  cm $^{-3}$  concentration and C is then doped at  $\approx 1 \times 10^{18}$  cm $^{-3}$  concentration when the GaN crystal is epitaxially grown.



Data supplied from the esp@cenet database — Worldwide

## Family list

3 application(s) for: JP2001247399 (A)

## 1 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

## THEREFOR

Inventor: ISHII HIROTATSU

Applicant: FURUKAWA ELECTRIC CO LTD

EC:

IPC: H01L21/265; H01L21/338; H01L29/812;

(+7)

Publication info: JP2001210657 (A) — 2001-08-03

## 2 METHOD FOR PRODUCING HIGH-RESISTANCE GaN CRYSTAL

## LAYER

Inventor: YOSHIDA KIYOTERU

Applicant: FURUKAWA ELECTRIC CO LTD

EC:

IPC: C30B29/38; C30B23/02; H01L21/203; (+15)

Publication info: JP2001247399 (A) — 2001-09-11

## 3 GaN field-effect transistor, inverter device, and production

## processes therefor

Inventor: ISHII HIROTATSU [JP]; YOSHIDA

Applicant: ISHII HIROTATSU, ; YOSHIDA

SEIKOH [JP]

SEIKOH

EC: H01L21/203C6; H01L21/205C6; (+3)

IPC: H01L21/203; H01L21/205; H01L21/337;

(+12)

Publication info: US2001015437 (A1) — 2001-06-23

Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-247399

(P2001-247399A)

(43) 公開日 平成13年9月11日 (2001.9.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	付記-1' (参考)
C 3 0 B 29/38		C 3 0 B 29/38	D 4 G 0 7 7
	23/02	23/02	5 F 0 4 5
H 0 1 L 21/203		H 0 1 L 21/203	M 5 F 1 0 2
	21/205	21/205	5 F 1 0 3
	21/338	29/80	B

審査請求 未請求 請求項の数 3 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願2000-58829(P2000-58829)

(22) 出願日 平成12年3月3日 (2000.3.3)

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内 2 丁目 6 番 1 号

(72) 発明者 吉田 清輝

東京都千代田区丸の内 2 丁目 6 番 1 号 古

河電気工業株式会社内

(74) 代理人 100090022

弁理士 長門 侃二

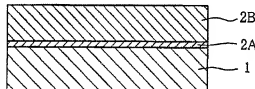
最終頁に続く

(54) 【発明の名称】 高抵抗 GaN 結晶層の製造方法

(57) 【要約】

【課題】 GaN 系 F E T の製造時に適用して有効な高抵抗 GaN 結晶層の製造方法を提供する。

【解決手段】 GaN 結晶をエピタキシャル成長させる際に、C、Mg、Zn の群から選ばれた少なくとも 1 種の p 型不純物をドーピングする高抵抗 GaN 結晶層 2 A、2 B の製造方法であり、具体的には、GaN 結晶をエピタキシャル成長させる際に、温度 600℃ 以上の水素雰囲気中で Mg または Zn をドーピングする、または、GaN 結晶をエピタキシャル成長させる際に、Mg または Zn を  $1 \times 10^{17} \text{cm}^{-3}$  以上の濃度でドーピングしたのち、更に C を  $1 \times 10^{18} \text{cm}^{-3}$  以上の濃度でドーピングする。



【特許請求の範囲】

【請求項1】 GaN結晶をエピタキシャル成長させる際に、C、Mg、Znの群から選ばれる少なくとも1種のp型不純物をドーピングすることを特徴とする高抵抗GaN結晶層の製造方法。

【請求項2】 GaN結晶をエピタキシャル成長させる際に、温度600℃以上の水系雰囲気中でMgまたはZnをドーピングする請求項1の高抵抗GaN結晶層の製造方法。

【請求項3】 GaN結晶をエピタキシャル成長させる際に、MgまたはZnを $1 \times 10^{17} \text{cm}^{-3}$ 以上の濃度でドーピングしたのち、更にCを $1 \times 10^{18} \text{cm}^{-3}$ 以上の濃度でドーピングする請求項1の高抵抗GaN結晶層の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高抵抗GaN結晶層の製造方法に関し、更に詳しくは、GaN系材料を用いたMES（金属-半導体）型の電界効果トランジスタ（FET）の製造時に適用して好適な高抵抗GaN結晶層の製造方法に関する。

【0002】

【従来の技術】最近、化合物半導体材料を用いたMES型FETの開発研究が盛んに進められている。その場合、用いる化合物半導体としては、通常、GaAs系の材料が主流になっていて、一般に、次のようにして製造される。まず、半導体性のGaN単結晶基板の上に、例えばMOCVD法により、半導体性のアンドープのGaAsから成るバッファ層を成膜し、更にその上に、例えばTMG（トリメチルガリウム）またはTMA（トリメチルアルミニウム）とアルシン（ $\text{AsH}_3$ ）を用い、またn型ドーパントとしてシランガスを用いてn型のAlGaAs結晶層を活性層として成膜しFET層構造を形成する。

【0003】について、このn型AlGaAs層の上に、例えばプラズマCVD法で $\text{SiO}_2$ などを堆積させたのち、そこにフォトリソグラフィと化学エッチング処理などを組み合わせて、ソース電極、ドレイン電極、およびゲート電極を形成するためのパターンニングを行い、ソース電極とドレイン電極の形成箇所には例えばAuGe/Niを蒸着し、またゲート電極の形成箇所にはAlを蒸着して目的とするFETが製造される。

【0004】ところで、GaN系材料を用いたFETは、高温特性が良好であって、400℃近い温度環境下においても熱暴走することなく動作するということが知られている。このGaN系FETを製造する場合、GaN系材料では、GaAs結晶の場合のように大口径の単結晶基板を製造することが困難であるため、単結晶基板の上に所定のGaN系結晶をエピタキシャル成長させて所望するFET層構造を形成することができない。

【0005】そのため、GaN系のFETを製造する際には、基板としてサファイア、SiC、GaAsなどの異種材料の材料から成る基板を用い、その上に例えばMOCVD法で、一旦、アンドープのGaN結晶層を成膜し、ついでその上にn型のGaN結晶層を活性層として成膜し、全体のFET層構造を形成している。上記したFET層構造を有するGaN系FETが動作するためには、n型活性層の下に位置するアンドープのGaN結晶層は高抵抗になっていることが必要である。

【0006】しかしながら、上記したFET層構造を形成するとき、アンドープのGaN結晶中には空孔に基づく欠陥が多数存在し、この欠陥がn型のキャリアとして働くため、一般に、n型で低抵抗化してしまうという問題が生ずる。このように、従来は、MOCVD法でGaN系FETを製造する場合、活性層の下に位置するアンドープGaN結晶層を高抵抗化する技術は確立されていないのが現状である。

【0007】

【発明が解決しようとする課題】本発明はGaN系材料でFET層構造を形成するときの上記した問題を解決し、GaN系FETの製造に適用して有効な高抵抗GaN結晶層の製造方法の提供を目的とする。

【0008】

【課題を解決するための手段】上記した目的を達成するために、本発明においては、GaN結晶をエピタキシャル成長させる際に、C、Mg、Znの群から選ばれる少なくとも1種のp型不純物をドーピングすることを特徴とする高抵抗GaN結晶層の製造方法が提供される。

【0009】具体的には、GaN結晶をエピタキシャル成長させる際に、温度600℃以上の水系雰囲気中でMgまたはZnをドーピングする高抵抗GaN結晶層の製造方法や、GaN結晶をエピタキシャル成長させる際に、MgまたはZnを $1 \times 10^{17} \text{cm}^{-3}$ 以上の濃度でドーピングする高抵抗GaN結晶層の製造方法が提供される。

【0010】

【発明の実施の形態】GaN結晶には空孔などが多数存在している、それがn型不純物と同様の働きをするために、無添加のGaN結晶は通常のn型導電性を示す。この導電性を打ち消すために、本発明方法では、エピタキシャル成長法でGaN結晶層を成膜する際に、そこに、C、Mg、Znの1種または2種以上から成るp型不純物を予めドーピングしておき、そのp型不純物により、上記欠陥に基づくn型の残留キャリアを打ち消す。もって当該GaN結晶層のn型性を抑制してその高抵抗化が図られる。すなわち、形成されたFET層構造において、n型の活性層の下に位置するGaN結晶層は高抵抗になっている。

【0011】

【0011】具体的には、次のような態様が実施され

る。第1の態様はMgまたはZnを用いた場合であって、この場合には、Ga<sub>2</sub>N結晶層の成膜を高温度のH<sub>2</sub>雰囲気で行い、そのときに、MgまたはZnをドーピングする。この過程で、MgまたはZnはHと結合し、その結果、成膜されたGa<sub>2</sub>N結晶層は電気的に不活性となる。すなわち、高抵抗化する。このときの温度は600℃以上に設定される。600℃より低い温度の場合は、上記した結合反応が充分に進行しないからである。このような状態にあるGa<sub>2</sub>N結晶層の上にn型の活性層を成膜しても、当該Ga<sub>2</sub>N結晶層がn型化して低抵抗化するとは起こりづらくなる。

【0012】第2の態様はCを用いた場合であって、この場合には、Ga<sub>2</sub>N結晶層の成膜時にMgまたはZnをドーピングして成膜されるGa<sub>2</sub>N結晶層におけるキャリア濃度を低減し、その状態で更に高濃度のCをドーピングする。ドーピングされたCはGa<sub>2</sub>N結晶層中に深い準位を形成するのでGa<sub>2</sub>N結晶層は高抵抗化する。この場合、Ga<sub>2</sub>N結晶層のキャリア濃度を補償するためにドーピングする上記MgまたはZnの濃度は $1 \times 10^{17} \text{cm}^{-3}$ 以上に設定される。濃度がこれより高くなると、Ga<sub>2</sub>N結晶層はp型傾向を示しはじめるからである。また、Cのドーピング濃度は $1 \times 10^{18} \text{cm}^{-3}$ 以上に設定される。濃度がこれより低くなると、Ga<sub>2</sub>N結晶層中の準位は渡くなって、高抵抗化の実現が困難になるからである。

【0013】

【実施例】本発明の実施例を、Ga<sub>2</sub>N系FETの製造に適用した事例として以下に説明する。まず、図1で示したように、例えばサファイアから成る半絶縁性基板1の上に、MBE法で、ジメチルヒドラジン ( $3 \times 10^{-6} \text{ Torr}$ )、金属Ga ( $5 \times 10^{-7} \text{ Torr}$ )、金属Mg ( $1 \times 10^{-8} \text{ Torr}$ )、およびH<sub>2</sub> ( $5 \times 10^{-8} \text{ Torr}$ )を用い、成長温度640℃で厚み2nmのGa<sub>2</sub>N結晶層をバッファ層2Aとして成膜し、更にその上に、厚み1μmのMgドープGa<sub>2</sub>N結晶層(Mgのドーピング濃度:  $1 \times 10^{17} \text{ cm}^{-3}$ )2Bを成膜した。

【0014】について、MgドープGa<sub>2</sub>N結晶層2Bにジメチルヒドラジン ( $3 \times 10^{-6} \text{ Torr}$ )を照射しながら温度640℃で10分間保持した。更に、金属Ga ( $8 \times 10^{-7} \text{ Torr}$ )とアンモニア ( $5 \times 10^{-8} \text{ Torr}$ )を用い、またn型ドーパントとしてSi ( $1 \times 10^{-9} \text{ Torr}$ )を用い、成長温度850℃でMgドープGa<sub>2</sub>N結晶層2Bの上に厚み0.3nmのn型のSiドープGa<sub>2</sub>N結晶層3を成膜した。このときにn型キャリア濃度が $2 \times 10^{17} \text{ cm}^{-3}$ になることは、事前ホール測定で確認してある。

【0015】について、SiドープGa<sub>2</sub>N結晶層3の全面にSiO<sub>2</sub>膜を成膜し、更にその上にフォトリソを施したのちパターンニングし、ついでフッ酸を用いてSiO<sub>2</sub>膜に部分的に窓あけを行った。そして、エレクトロサイクロトロンゾナンス(ECR)プラズマ装置を用い、

メタン、アルゴン、水素の混合ガスをプラズマ化したエッチングガスを前記した窓あけ部分に照射して当該部分にMgドープGa<sub>2</sub>N結晶層2Bの表面が露出するまでのエッチング処理を行ったのち、残りのSiO<sub>2</sub>膜の全体をエッチング除去した。

【0016】ついで、SiドープGa<sub>2</sub>N結晶層3の上に、フォトリソを用いてソース電極とドレイン電極の形成箇所をパターンニングしたのち、その形成箇所にTi/AIを真空蒸着してソース電極とドレイン電極を形成し、それ以外の部分のTi/AIはリフトオフした。更に、フォトリソを用いてゲート電極の形成箇所をパターンニングし、その形成箇所にTi/Ptを真空蒸着してゲート電極を形成し、それ以外のTi/Ptもリフトオフすることにより、図3で示したFETを製造した。

【0017】このFETの電気的特性の評価を行った。ソース電極とドレイン電極間のコンタクト抵抗は $1 \times 10^{-6} \Omega \cdot \text{cm}^2$ であり、両電極はオーミック接合していることが確認された。また、ゲート電極は整流特性を示し、そのときの立ち上がり電圧は1.1Vであった。更に、FETの飽和特性も良好であった。

【0018】このようなことから、本発明方法を適用して成膜したバッファ層2AとMgドープGa<sub>2</sub>N結晶層はいずれも高抵抗であることを確認することができる。なお、上記実施例では、Ga<sub>2</sub>N結晶層の成膜における原料としてはジメチルヒドラジンとアンモニア、Ga源としては金属Gaを用いたが、プラズマ元素、ラジカル源を用いることもでき、またGa源としてはTEGやTMGを用いることもできる。

【0019】更に、上記実施例では、エビタシヤル成長法としてMBE法を採用したが、MOCVD法でも同様の結果を得ることができた。なお、上記実施例のMgドープGa<sub>2</sub>N結晶層2Bのキャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下であった。そして、Mgをドーピングしないときに成膜されるアンドープGa<sub>2</sub>N結晶層のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であった。

【0020】すなわち、Mgを $1 \times 10^{17} \text{ cm}^{-3}$ の濃度でドーピングすることにより、上記アンドープGa<sub>2</sub>N結晶層のキャリアは打ち消されている。そこで、このMgドープGa<sub>2</sub>N結晶層2B (キャリア濃度:  $1 \times 10^{16} \text{ cm}^{-3}$ 以下)に更にCを $1 \times 10^{18} \text{ cm}^{-3}$ ドーピングしてFET層構造を形成し、それを用いて実施例と同様にFETを製造し、その電気的特性を評価したところ、上記した実施例の場合と同様の結果が得られた。

【0021】

【発明の効果】以上の説明で明らかなように、本発明方法によれば、高抵抗のGa<sub>2</sub>N結晶層を製造することができる。そして、本発明方法を用いることにより、高温動作が可能なGa<sub>2</sub>N系のFETを製造することができるので、その工業的価値は大である。

## 【図面の簡単な説明】

【図1】本発明方法で、基板の上に高抵抗のGa<sub>0.9</sub>N結晶層を成膜した状態を示す断面図である。

【図2】本発明による高抵抗Ga<sub>0.9</sub>N結晶層の上にSiドープGa<sub>0.9</sub>N結晶層を成膜した状態を示す断面図である。

【図3】Ga<sub>0.9</sub>N系FETの断面構造を示す断面図であ

る。

## 【符号の説明】

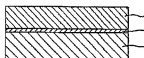
1 半絶縁性基板（サファイア）

2A バッファ層

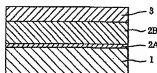
2B MgドープGa<sub>0.9</sub>N結晶層

3 SiドープGa<sub>0.9</sub>N結晶層

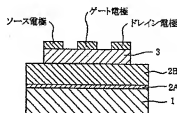
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

チ-72-D' (参考)

H 0 1 L 29/812

Fターム(参考) 4G077 A063 DE15 DA05 ED01 ED02

ED06 EF01 EF03 HA06 SA04

5F045 AA04 AA05 AB14 AC08 AC09

AC19 AU10 AD12 AE05 AE07

AF04 AF09 BB16 CA06 DA53

DA59 DA66

5F102 GB01 GC01 GD01 GJ10 GK04

GL04 GS01 GT03 HC01 HC11

HC16

5F103 AM05 DD01 GG01 HH03 HH04

JJ01 KK01 KK07 KK10 LL08

RR05